

**(54) METHOD FOR SWITCHING CONTROLLER IN DECENTRALIZED SYSTEM**

(11) 63-303435 (A) (43) 12.12.1988 (19) JP

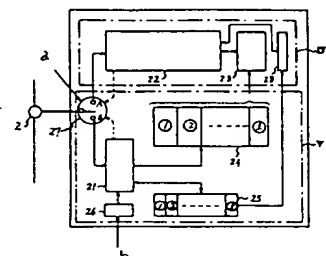
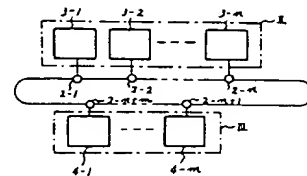
(21) Appl. No. 62-138105 (22) 3.6.1987

(71) HITACHI LTD(1) (72) KENJI GUNJI

(51) Int. Cl. G06F11/20, G06F15/16

**PURPOSE:** To automatically switch a faulty controller to another controller without using any controller for management, by providing plural sets of standby controllers.

**CONSTITUTION:** A controller group II is composed of plural sets of controllers 3-1~3-n. A standby controller group III is composed of plural standby controllers 4-1~4-m. Each controller is connected with another by means of time division transmitters 2-1~2-(n+m). The standby controllers have the same constitution as the controllers. A controller function section IV carries out ordinary operations of the controllers. A standby controller function section V carries out operations when one of the controllers becomes a standby machine. The two function sections can be switched to each other by means of a switch 27. When the power supply to the controllers is made and at the initial time of the controllers themselves, the switch 27 is set to the B side as an initial state and the controllers 4-1~4-m function as standby controllers.



a: (initial value is set from outside), b: (set from outside)

**(54) PROGRAM DEVELOPING DEVICE**

(11) 63-303436 (A) (43) 12.12.1988 (19) JP

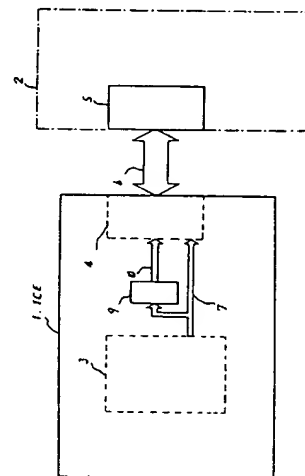
(21) Appl. No. 62-139147 (22) 2.6.1987

(71) NEC CORP (72) TOSHIHIRO NOMA(1)

(51) Int. Cl. G06F11/22

**PURPOSE:** To prevent a mistake in a program, by providing a means which forcibly sets different values at every reset against a register that is not initialized by means of a reset signal in a microcomputer for developing program.

**CONSTITUTION:** When a resetting instruction 7 is outputted from a supervisor 3 in a circuit emulator (ICE) 1, the resetting instruction 7 is simultaneously transmitted to a microcomputer 4 and random number generating circuit 9. The random number signal 10 of the circuit 9 is written in a register which cannot be reset in the computer 4. When the above-mentioned operations are carried, different values can respectively be set in registers which cannot be reset at every resetting operation.



2: user's target system, 5: signal inputting-outputting system, 6: input-output signal

**(54) DEVICE FOR EVALUATING MICROCOMPUTER**

(11) 63-303437 (A) (43) 12.12.1988 (19) JP

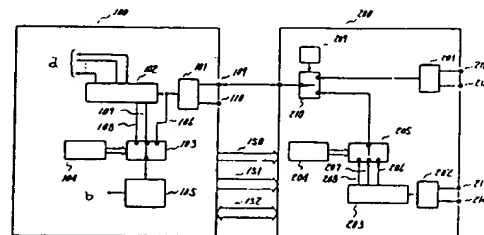
(21) Appl. No. 62-140234 (22) 3.6.1987

(71) NEC CORP (72) KAZUTOSHI YOSHIZAWA

(51) Int. Cl. G06F11/22

**PURPOSE:** To easily switch to a subsystem lock for making low-voltage operations, by providing an operating speed designating register, in which the same content as that written in an operating speed designating register in a CPU emulator is written, inside a peripheral emulator.

**CONSTITUTION:** A dividing circuit 203 in a peripheral emulator 200 is a dividing circuit which frequency-divides the output of a subsystem oscillator circuit 202 and outputs one of frequency-divided outputs 206~208 after the one is selected by means of a selection circuit 205 in accordance with the designation of an operating speed designating register 204, in which the same content as that written in an operating speed designating register 104 in a CPU emulator 100 is written.



101: system clock oscillating circuit, 102: dividing circuit, 103: CPU clock selecting circuit, 105: CPU clock generating circuit, 150: control signal, 151: memory address bus, 152: data bus, 201: main system clock oscillating circuit, 204: system clock switching flag, 210: system clock selecting circuit, a: internal clock, b: CPU clock

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-303437

⑬ Int.Cl.<sup>4</sup>  
G 06 F 11/22

識別記号  
3 4 0

庁内整理番号  
A-7368-5B

⑭ 公開 昭和63年(1988)12月12日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 マイクロコンピュータ評価装置

⑯ 特 願 昭62-140234

⑰ 出 願 昭62(1987)6月3日

⑱ 発 明 者 吉 澤 和 俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータ評価装置

2. 特許請求の範囲

CPUの動作速度を複数段階に切換える機能を有し、かつメインシステムクロックとサブシステムクロックとの2系統のクロックで動作可能なマイクロコンピュータを評価する装置であって、マイクロコンピュータのCPU機能を評価するためのCPUエミュレーション用集積回路と、マイクロコンピュータの周辺機能を評価するための周辺エミュレーション用集積回路とを含み、前記周辺エミュレーション用集積回路内部にメインシステムクロック発振回路、サブシステムクロック発振回路、サブシステムクロックを分周する分周回路、CPUエミュレーション用集積回路での動作速度指定と向い指定が行なわれる動作速度指定レジスタ、前記動作速度指定レジスタにより指定される

CPU動作速度に対する比が反比例するような分周出力を前記分周回路から取り出す回路、およびメインシステムクロックと前記分周出力のうち一方をシステムクロックとして選択するシステムクロック選択回路とを有し、前記システムクロック選択回路で選択した出力を前記CPUエミュレーション用集積回路のシステムクロックとして用いることを特徴とするマイクロコンピュータ評価装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロコンピュータ評価装置に関し、特に2系統のシステムクロック発振回路を有し、かつCPUの動作速度を複数段階に切換える機能を有するマイクロコンピュータを評価(エミュレーション)するためのマイクロコンピュータエミュレーション装置に関する。

〔従来の技術〕

CPUの動作速度を複数段階に切換え可能な共

通のCPUアーキテクチャを有し、かつ周辺機能の一部が異なる一連のマイクロコンピュータをエミュレーションする方法として、CPU機能をエミュレートするためのCPUエミュレータと特定のマイクロコンピュータの周辺機能をエミュレートするための周辺エミュレータとを独立に設け、これらを接続してマイクロコンピュータをエミュレーションする方法がある。

第2図に、メインシステムクロック発振回路とサブシステムクロック発振回路を有するマイクロコンピュータをエミュレーションするためのCPUエミュレータと周辺エミュレータの従来の構成図を示す。CPUエミュレータ100はシステムクロック発振回路101、分周回路102、CPUクロック選択回路103および動作速度指定レジスタ104を有し、制御信号バス150、メモリアドレスバス151およびデータバス152を介して周辺エミュレータ200と接続されている。2系統のシステムクロック発振回路をもたないマイクロコンピュータの場合にはCPUエミュレータ100の発振端子

109及び110に水晶振動子等の発振子を接続することによりシステムクロック発振回路101によりシステムクロックを発生することができる。2系統のシステムクロック発振回路を有するマイクロコンピュータの場合には周辺エミュレータ200内に、メインシステムクロック発振回路201、サブシステムクロック発振回路202を内蔵し、システムクロック切換フラグ204の指定に基づいて、一方のクロックをシステムクロック選択回路203で選択し、システムクロック出力端子209より出力するようになっている。このクロックはCPUエミュレータ100の発振端子109に入力され、CPUエミュレータ100は発振端子109に入力されたクロックをシステムクロックとして内部に供給することができる。CPUエミュレータ100はシステムクロック発振回路101の出力106又は分周回路102で分周した2種類の分周出力107及び108のうち、動作速度レジスタ104で指定された出力をCPUクロック選択回路103で選択してCPUクロック発生回路105に与え、CPUクロッ

クを作成する。システムクロック発振回路101の出力のシステムクロック周波数を $f$ とすると、例えばCPUクロック選択回路103へは、出力106として $f$ 、出力107として $f/2$ 、出力108として $f/16$ といった異なる種類の動作クロックの中から1つを選択してCPUクロックとすることができる。

周辺エミュレータ200の発振端子205,206には高周波のメインシステムクロック発振子、例えば4MHzの発振子を接続し、メインシステムクロック発振回路201より4MHzのクロックを出力する。一方、発振端子207,208には低周波のサブシステムクロック発振子、例えば32768KHzの発振子を接続し、サブシステムクロック発振回路202より32768KHzのクロックを出力する。CPUエミュレータ100がデータバス152を介してシステムクロック切換フラグ204の内容を書き換えることにより、システムクロック選択回路203はメインシステムクロック発振回路201の出力又はサブシステムクロック発振回路202の

出力のいずれかを選択してシステムクロック発振端子209を介して出力し、CPUエミュレータ100にシステムクロックを供給し、そのクロックに基づいてCPUエミュレータ100は動作する。

【発明が解決しようとする問題点】

上述した従来のエミュレーション装置では、周辺エミュレータ200でメインシステムクロックを選択し、かつCPUエミュレータ100が低速のモード、即ち分周回路102の出力108を選択している状態で、周辺エミュレータ200がサブシステムクロックに切換えられると、低周波数発振出力を更に分周してより低周波のCPUクロックが発生されることになり、ダイナミック回路を使用している場合には周波数が低すぎて動作できないという不都合がある。従来はこれを回避するため動作速度指定レジスタ104で分周回路を介さない出力106をまず選択しておき、それからサブシステムクロックに切換えるという操作手順を規定していた。言い換えれば、高周波のメインシステムクロックをクロックソースとしていて加

作速度が高速モードで動作可能な電圧でないとサブシステムクロックに切換えられないという制限があった。

本発明はCPUの動作速度とは無関係にメインシステムクロックからサブシステムクロックへの切換えを可能とするマイクロコンピュータエミュレーション装置を提供することを目的とする。

〔問題点を解決するための手段〕

本発明のマイクロコンピュータエミュレーション装置は、CPUエミュレータと周辺エミュレータとを独立に有し、前記周辺エミュレータが、メインシステムクロック発振回路、サブシステムクロック発振回路、サブシステムクロックを分周する分周回路、動作速度指定レジスタ、前記動作速度指定レジスタにより指定されるCPU動作速度に対する比が反比例するように前記分周回路の分周出力を選択する選択回路、およびメインシステムクロックと前記分周出力のうち一方の出力をシステムクロックとして選択するシステムクロック選択回路とを有することを特徴とする。

決定する。例えば  $n_1 = 2$ 、 $n_2 = 16$  の場合には出力206～208はそれぞれ  $16f_0$ 、 $2f_0$ 、 $f_0$  となる。

動作速度指定レジスタ204には動作速度指定レジスタ104と同一の内容がデータバス152を介して書き込まれ、出力106即ち周波数 $f$ を選択する内容のときは出力208、即ち周波数 $f_0$ を選択し、出力107即ち周波数 $f/2$ を選択する内容のときは出力207即ち周波数 $2f_0$ を選択し、出力108即ち周波数 $f/16$ を選択する内容のときは出力206即ち周波数 $16f_0$ を選択するというようにCPUの動作速度指定に対し反比例した分周出力を選択するよう選択回路205を構成する。従って、動作速度指定レジスタ104によって周波数出力106～108のいずれの出力が選択されている場合においても、システムクロック選択回路210でメインシステムクロックからサブシステムクロックに切換えた時はCPUクロック選択回路103の出力周波数は常に一定の $f_0$ となり本来選択しようとする一定のサブシステムクロック

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。

CPUエミュレータ100の構成は第2図に示す従来と全く同一であり、また、周辺エミュレータ200の内部回路のうち201、204はCPUエミュレータと同一である。分周回路203はサブシステム発振回路202の出力を分周する分周回路で、分周出力206～208のうち1出力を動作速度指定レジスタ104と同様の内容が設定される動作速度指定レジスタ204の指定により選択回路205で選択して出力する。

第2図で示したメインシステムクロックが $f_0$ 、サブシステムクロック発振出力が $f$ であり、システムクロック切換回路出力を $f$ 、CPUクロック選択回路への入力106が $f$ 、入力107が $f/n_1$ 、入力108が $f/n_2$ である場合には、分周回路203の分周出力206が $n_2 f_0$ 、出力207が $n_1 f_0$ 、出力208が $f_0$ となるように発振端子207、208に接続する発振子と分周回路の放数(分周比)を

ク出力をCPUクロックとすることができる。

例えば、メインシステムクロック周波数を4MHz目的とするサブシステムクロックを32768KHzとすると、発振端子213、214には4194304MHzの発振子を接続させることができ、分周回路203の分周出力206を $16 \times 32768 \text{ KHz}$  ( $= 4194304/2^3$ )、分周出力207を $2 \times 32768 \text{ KHz}$  ( $= 4194304/2^8$ )、分周出力208を32768KHzとなるように分周出力を取り出して選択回路205に入力すれば、サブシステムクロックとしては常に $f_0 = 32768 \text{ KHz}$ がCPUクロック選択回路103より出力されることになる。

〔発明の効果〕

以上説明したように本発明は、CPUエミュレータに接続される周辺エミュレータの内部にCPUエミュレータ内の動作速度指定レジスタと同一内容が書き込まれる動作速度指定レジスタを設け、また周辺エミュレータに本来のサブシステムクロックの整数倍の発振子をサブシステムクロック発振用端子に接続し、その出力を分周回路により分周

して、CPUの動作速度指定に反比例するように、即ちCPUエミュレータがサブシステムクロックに切換えた場合にCPUクロックが常に一定となるように複数の分周出力から1出力を選択してCPUエミュレータに出力することにより、CPU動作速度指定の内容がいずれの値の場合にもメインシステムクロックからサブシステムクロックに切換えることができるため、低電圧動作のためのサブシステムクロックへの切換えが容易に実現できるという優れた効果を得られる。

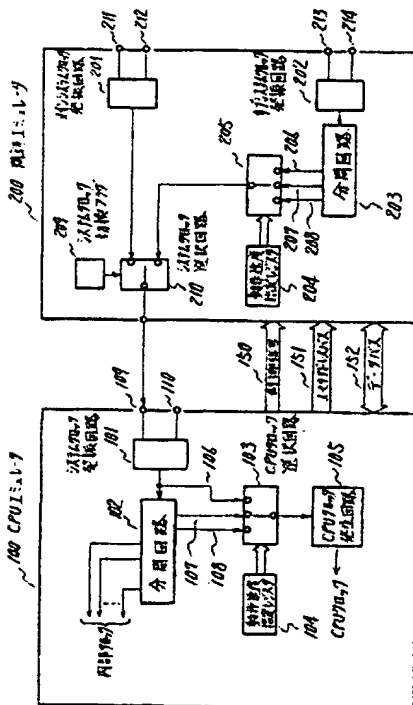
バス、200……周辺エミュレータ、201……メインシステムクロック発振回路、202……サブシステムクロック発振回路、203……分周回路、204……動作速度指定レジスタ、205……選択回路、206～208……分周出力、209……システムクロック切換フラグ、210……システムクロック選択回路、211～214……発振端子。

代理人 井雄士 内 原 啓

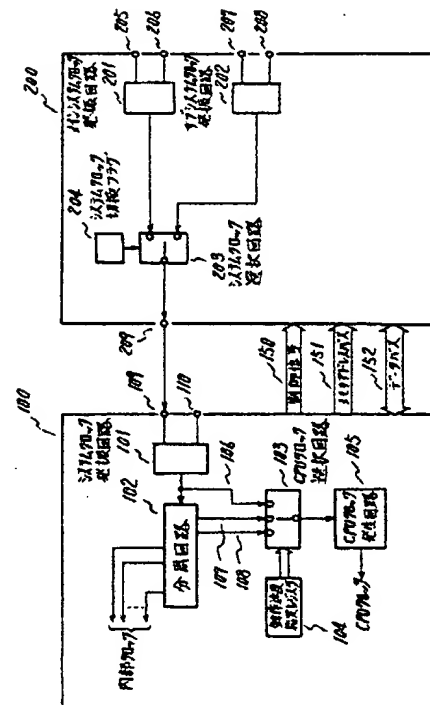
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来例のブロック図である。

100……CPUエミュレータ、101……システムクロック発振回路、102……分周回路、103……CPUクロック選択回路、104……動作速度指定レジスタ、105……CPUクロック発生回路、109,110……発振端子、150……制御信号、151……メモリアドレスバス、152……データ



第1図



第2図(従来例)